

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235669

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01L 29/78

(21)Application number : 06-027990

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.02.1994

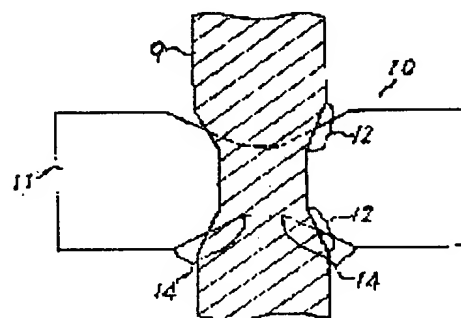
(72)Inventor : TAKEUCHI MASAHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a minute MOSFET, whose electric characteristics are stabilized, by alleviating the fluctuation of V_{th} caused by the deviation of the sizes of a gate electrode and an active region from the sizes of masks.

CONSTITUTION: The pattern of a gate electrode 9 (an active region 11) is formed so that the length of a gate (the width of the active region) is monotonously decreased from the outside of the active region 11 (the gate electrode 9) to the inside at a specified section 12 (14) including the intersecting part with the end part of the active region 11 (the gate electrode 9).



LEGAL STATUS

[Date of request for examination] 02.11.2000

[Date of sending the examiner's decision of rejection] 23.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-235669

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/78		7514-4M	H 0 1 L 29/ 78	3 0 1 G

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平6-27990

(22)出願日 平成6年(1994)2月25日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 竹内 雅彦

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

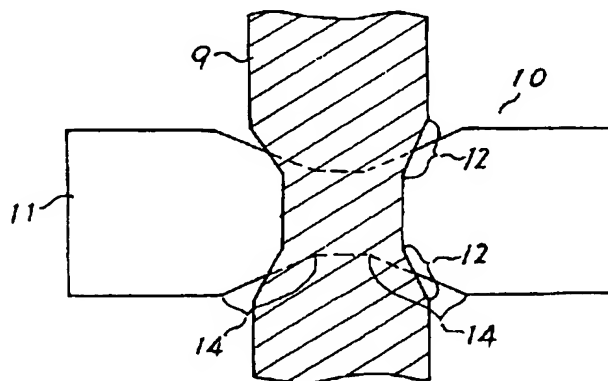
(74)代理人 弁理士 高田 守

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 ゲート電極9や活性領域11のマスク寸法からの寸法ずれによる V_{th} の変動を緩和して、電気的特性の安定した微細なMOSFETを得る。

【構成】 ゲート電極9（活性領域11）のパターンを、活性領域11（ゲート電極9）の端部と交差する部分を含む所定区間12（14）で、上記活性領域11（ゲート電極9）の外側から内側に向かってゲート長（活性領域幅）が単調に減少するように形成する。



1

【特許請求の範囲】

【請求項 1】 フィールド絶縁膜に囲まれる活性領域にゲート電極が交差する半導体装置において、上記ゲート電極のパターンが、上記活性領域の端部と交差する部分を含む所定区間で、上記活性領域の外側から内側に向かってゲート長が単調に減少するように形成されたことを特徴とする半導体装置。

【請求項 2】 フィールド絶縁膜に囲まれる活性領域にゲート電極が交差する半導体装置において、上記活性領域のパターンが、上記ゲート電極の端部と交差する部分を含む所定区間で、上記ゲート電極の外側から内側に向かって活性領域幅が単調に減少するように形成されたことを特徴とする半導体装置。

【請求項 3】 フィールド絶縁膜のマスクパターンと、このフィールド絶縁膜のマスクパターンに囲まれるマスク上の活性領域に交差し上記マスク上の活性領域の端部と交差する部分を含む所定区間で上記マスク上の活性領域の外側から内側に向かってゲート長が単調に減少するように形成されたゲート電極のマスクパターンとを用い、上記フィールド絶縁膜およびゲート電極のマスクパ

ターンを半導体基板上に転写することにより、フィールド絶縁膜に囲まれた活性領域およびゲート電極をそれぞれ形成することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 ゲート電極のマスクパターンと、このゲート電極のマスクパターンに交差し上記ゲート電極のマスクパターンの端部と交差する部分を含む所定区間で上記ゲート電極のマスクパターンの外側から内側に向かって活性領域幅が単調に減少するように形成されたマスク上の活性領域を囲むフィールド絶縁膜のマスクパターンとを用い、上記ゲート電極およびフィールド絶縁膜のマスクパターンを半導体基板上に転写することにより、ゲート電極およびフィールド絶縁膜に囲まれた活性領域をそれぞれ形成することを特徴とする請求項 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置に関し、特に微細で電気的特性の安定した MOSFET に関するものである。

【0002】

【従来の技術】 近年、半導体装置の高集積化に伴って、その中に形成される回路パターンもますます微細化されている。図 7 は、従来の MOSFET における活性領域とゲート電極とのマスクパターンを示した平面図である。図において、1 はゲート電極のマスクパターン（以下、ゲートマスクパターンと称す）、2 a はフィールド絶縁膜のマスクパターン（以下、フィールドマスクパターンと称す）、2 b はフィールドマスクパターンに囲まれるマスク上の活性領域、 L_1 はマスク上のゲート長、

2

W_1 はマスク上の活性領域幅である。図に示す様に、ゲートマスクパターン 1 もマスク上の活性領域 2 b も一定の幅 L_1 （または W_1 ）を持つ直線形状であり、例えば、64 MDRAM のメモリセルでは、 L_1 が $0.4 \mu\text{m}$ 程度、 W_1 が $0.5 \mu\text{m}$ 程度の微細幅の直線状パターンである。

【0003】 このようなマスクパターンを用いて、写真製版技術およびエッチング技術により半導体基板（以下、基板と称す）上に形成される仕上がりパターンは、マスクパターンと同一寸法である事がもちろん望ましいが、実際には、写真製版プロセスのばらつきやエッチング時の CD ロスの効果が重畳することにより、マスクパターン寸法よりも小さく仕上がる事が多く、また時には大きく仕上がる事もある。

【0004】 図 8 は、図 7 に示すマスクパターンで、マスク上のゲート長 L_1 が $1 \mu\text{m}$ 以下の微細なものを用いて基板上に形成した MOSFET における活性領域とゲート電極との仕上がりパターンの例である。図において、3 はゲート電極、4 a はフィールド絶縁膜、4 b はフィールド絶縁膜 4 a に囲まれる活性領域、 L は仕上がりゲートのゲート長である。なおこの場合、仕上がりゲートのゲート長 L はマスク上のゲート長 L_1 よりも $2\Delta L$ だけ短いものとする。このように仕上がりゲートのゲート長 L がマスク上のゲート長 L_1 よりも短く仕上がった場合、MOSFET の V_{th} は短チャネル効果によって所望の値（ $L = L_1$ の時、得られる V_{th} ）よりも小さくなる。また逆に仕上がりゲートのゲート長 L がマスク上のゲート長 L_1 よりも長く仕上がった場合、MOSFET の V_{th} は所望の値よりも大きくなる。

【0005】 図 9 は、図 7 に示すマスクパターンで、マスク上の活性領域幅 W_1 が $1 \mu\text{m}$ 以下の微細なものを用いて基板上に形成した、MOSFET における活性領域とゲート電極との仕上がりパターンの例である。図において、3、4 a、4 b は図 8 のものと同じもの、 W は仕上がり活性領域幅である。なお、この場合、仕上がり活性領域幅 W はマスク上の活性領域幅 W_1 よりも $2\Delta W$ だけ短いものとする。このように仕上がり活性領域幅 W がマスク上の活性領域幅 W_1 よりも短く仕上がった場合、MOSFET の V_{th} は狭チャネル効果によって所望の値（ $W = W_1$ の時、得られる V_{th} ）よりも大きくなる。また、逆に仕上がり活性領域幅 W がマスク上の活性領域幅 W_1 よりも長く仕上がった場合、MOSFET の V_{th} は所望の値よりも小さくなる。

【0006】

【発明が解決しようとする課題】 このように、ゲート電極や活性領域が、 $1 \mu\text{m}$ 以下の微細な直線形状である MOSFET では、ゲート長や活性領域幅における仕上がり寸法のマスク寸法からのずれによって所望の V_{th} が得られず、寸法変動によって電気的特性が不安定になるという問題点があった。

【0007】この発明は、上記のような問題点を解消するためになされたもので、仕上がり寸法の変動による V_{th} のばらつきを緩和し、電気的特性の安定した、微細なMOSFETを得ることを目的とする。

【0008】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置は、ゲート電極のパターンが、活性領域の端部と交差する部分を含む所定区間で、上記活性領域の外側から内側に向かってゲート長が単調に減少するように形成されたものである。

【0009】この発明に係る請求項2記載の半導体装置は、活性領域のパターンが、ゲート電極の端部と交差する部分を含む所定区間で、上記ゲート電極の外側から内側に向かって活性領域幅が単調に減少するように形成されたものである。

【0010】この発明に係る請求項3記載の半導体装置の製造方法は、フィールド絶縁膜のマスクパターンと、このフィールド絶縁膜のマスクパターンに囲まれるマスク上の活性領域に交差し上記マスク上の活性領域の端部と交差する部分を含む所定区間で上記マスク上の活性領域の外側から内側に向かってゲート長が単調に減少するように形成されたゲート電極のマスクパターンとを用い、上記フィールド絶縁膜およびゲート電極のマスクパターンを半導体基板上に転写することにより、フィールド絶縁膜に囲まれた活性領域およびゲート電極をそれぞれ形成するものである。

【0011】この発明に係る請求項4記載の半導体装置の製造方法は、ゲート電極のマスクパターンと、このゲート電極のマスクパターンに交差し上記ゲート電極のマスクパターンの端部と交差する部分を含む所定区間で上記ゲート電極のマスクパターンの外側から内側に向かって活性領域幅が単調に減少するように形成されたマスク上の活性領域を囲むフィールド絶縁膜のマスクパターンとを用い、上記ゲート電極およびフィールド絶縁膜のマスクパターンを半導体基板上に転写することにより、ゲート電極およびフィールド絶縁膜に囲まれた活性領域をそれぞれ形成するものである。

【0012】

【作用】この発明における半導体装置は、ゲート電極のパターンが、活性領域の端部と交差する部分を含む所定区間で、活性領域の外側から内側に向かってゲート長が単調に減少するように形成されている。このとき、ゲート長は一定ではないが、ゲート電極が活性領域と交差する領域（以下、チャネル領域と称す）の面積を活性領域幅で割った寸法がMOSFETにおける実効ゲート長となる。このため活性領域の端部が、所望のものより外側の方向にずれて活性領域幅が長くなると、チャネル領域が増えるが、その部分ではゲート長が増加しているの
で、MOSFETにおける実効ゲート長は長くなる。逆に、活性領域の端部が内側の方向にずれて活性領域幅が

短くなると、MOSFETにおける実効ゲート長は短くなる。

【0013】前述した様に、微細なゲート長および活性領域幅のMOSFETでは、ゲート長が短くなると短チャネル効果により V_{th} は小さくなり、活性領域幅が短くなると狭チャネル効果により V_{th} は大きくなる。この場合、活性領域幅が短くなると実効ゲート長は短くなるため、狭チャネル効果による V_{th} の増加分と短チャネル効果による V_{th} の減少分が相殺され V_{th} のばらつきが緩和される。また、活性領域幅が長くなるときも、実効ゲート長は長くなるため V_{th} の変動に対する効果が互いに相殺され、 V_{th} のばらつきが同様に緩和される。

【0014】また、この発明における半導体装置は、活性領域のパターンが、ゲート電極の端部と交差する部分を含む所定区間で、ゲート電極の外側から内側に向かって活性領域幅が単調に減少するように形成されている。このとき、MOSFETにおける実効の活性領域幅は、チャネル領域の面積をゲート長で割ったものである。このためゲート電極の端部が、所望のものより外側の方向にずれてゲート長が長くなると、チャネル領域は増えるが、その部分では活性領域幅が増加しているの
で、MOSFETにおける実効の活性領域幅は長くなり、逆に内側の方向にずれてゲート長が短くなると実効の活性領域幅は短くなる。従ってこの場合も、ゲート長が変動してもそれに応じて実効の活性領域幅も変動するため、 V_{th} の変動に対する効果が相殺され、 V_{th} のばらつきが緩和される。

【0015】また、この発明における上記の様な半導体装置の製造方法は、半導体基板上に形成されるゲート電極と活性領域とのパターンを、同様の特徴を持つマスクパターンをそれぞれ転写することによって得るものであるため、ホトリソグラフィ技術やエッチング技術によるマスク寸法からのずれによる V_{th} のばらつきを、容易に自己制御することができる。

【0016】

【実施例】

実施例1. 以下、この発明の一実施例を、図について説明する。なお、ここで扱うMOSFETは、ゲート長および活性領域幅とも $1\mu\text{m}$ 以下の微細なものとし、また、従来の技術と重複する箇所は適宜その説明を省略する。図1(a)は、この発明の一実施例において用いるMOSFETにおける活性領域とゲート電極とのマスクパターンを示す平面図であり、図1(b)は図1(a)に示すマスクパターンを基板上に転写した仕上がりパターンの例を示す平面図である。図1(a)において、5はゲートマスクパターン、6はフィールドマスクパターン、7はフィールドマスクパターン6に囲まれるマスク上の活性領域、8はゲート長が単調に減少する所定区間である。図1(a)に示す様に、マスク上の活性領域幅は W_1 で一定であり、マスク上のゲート長は、マスク上

5

の活性領域 7 の端部と交差する部分を含む所定区間 8 で、マスク上の活性領域 7 の外側から内側に向かって単調に減少する。

【0017】図 1 (b) において、9 はゲート電極、10 はフィールド絶縁膜、11 はフィールド絶縁膜 10 に囲まれる活性領域、12 はゲート長が単調に減少する所定区間である。図 1 (b) に示す様に、この場合、仕上がりの活性領域幅は所望の寸法であるマスク上の活性領域幅 W_1 よりも $2\Delta W$ だけ短い W で一定であり、ゲート電極 9 はゲートマスクパターン 5 と同寸法の所望の寸法に仕上がったものであって、活性領域 11 の端部と交差する部分を含む所定区間 12 で、活性領域 11 の外側から内側に向かってゲート長が単調に減少する。

【0018】図 1 (a) に示すマスクパターンを用いて図 1 (b) に示す様な仕上がりを形成する方法について以下に示す。まず、基板上の全面に、LOCOS 用に下敷酸化膜と窒化膜を被着し、その上の全面にホトレジスト膜を形成する。次にフィールドマスクパターン 6 が形成されたマスクを用いてホトリソグラフィ技術によりホトレジスト膜をパターン化し、このレジスト・パターンをマスクとして下地の窒化膜をエッチングして、活性領域 11 に窒化膜を残存させる。その後ホトレジスト膜を除去して熱酸化を行うと、窒化膜のない部分の基板が酸化されてフィールド絶縁膜 10 が形成される。次に全面にゲート電極材料を堆積しその上の全面にホトレジスト膜を形成し、ゲートマスクパターン 5 が形成されたマスクを用いてホトリソグラフィ技術によりホトレジスト膜をパターン化し、このレジスト・パターンをマスクとして下地のゲート電極材料を加工してゲート電極 9 を形成する。この後、ホトレジスト膜を除去した後、イオン注入法によりソース・ドレイン領域を形成し、所定の処理を施して、MOSFET を得る。

【0019】このように形成された仕上がりのパターンは、活性領域幅がマスク上の寸法よりも $2\Delta W$ だけ短くなっているためチャネル領域が減少するが、その部分でゲート長は単調減少しているため、MOSFET における実効ゲート長も短くなる。このため狭チャネル効果による V_{th} の増加分と短チャネル効果による V_{th} の減少分とが互いに相殺され、 V_{th} の変動が緩和される。

【0020】なお、図 1 (b) では、仕上がりのパターンの活性領域幅が、マスク上の寸法よりも短くなる場合を示したが、逆にマスク上の寸法よりも長くなっても実効ゲート長が長くなり、同様に V_{th} の変動は緩和される。

【0021】実施例 2. 上記実施例 1 に示したゲート電極 9 と活性領域 11 との特徴を有する半導体装置の適用例を図 2 に示す。図 2 は DRAM のメモリセルトランジスタのゲート電極 9 のパターンと活性領域 11 のパターンとを示した平面図であり、上記実施例 1 と同様の効果がある。

【0022】実施例 3. 図 3 (a) は、この発明の実施

6

例 3 において用いる MOSFET における活性領域とゲート電極とのマスクパターンを示す平面図であり、図 3 (b) は図 3 (a) に示すマスクパターンを基板上に転写した仕上がりパターンを示す平面図である。図 3

(a) に示す様に、ゲートマスクパターン 5 のゲート長は L_1 で一定であり、フィールドマスクパターン 6 に囲まれるマスク上の活性領域 7 は、ゲートマスクパターン 5 の端部と交差する部分を含む所定区間 13 で、ゲートマスクパターン 5 の外側から内側に向かって活性領域幅が単調に減少するように形成されている。

【0023】このようなマスクパターンを用いて形成した仕上がりのパターンは、図 3 (b) に示す様に、この場合、ゲート電極 9 のゲート長は所望の寸法であるマスク上のゲート長 L_1 よりも $2\Delta L$ だけ短い L で一定であり、フィールド絶縁膜 10 に囲まれる活性領域 11 は、所望の寸法に仕上がったものであって、ゲート電極 9 の端部と交差する部分を含む所定区間 14 で、ゲート電極 9 の外側から内側に向かって活性領域幅が単調に減少する。

【0024】このように形成された仕上がりのパターンは、ゲート長がマスク上の寸法よりも $2\Delta L$ だけ短くなっているためチャネル領域が減少するが、その部分で活性領域幅は単調減少しているため、MOSFET における実効の活性領域幅も短くなる。このため短チャネル効果による V_{th} の減少分と狭チャネル効果による V_{th} の増加分が互いに相殺され V_{th} の変動が緩和される。

【0025】なお、仕上がりのパターンのゲート長がマスク上の寸法よりも長くなっても、実効の活性領域幅が長くなり、同様に V_{th} の変動は緩和される。

【0026】実施例 4. 図 4 は、上記実施例 3 に示したゲート電極 9 と活性領域 11 との特徴を有する半導体装置の適用例を DRAM のメモリセルトランジスタについて示したもので、上記実施例 3 と同様の効果がある。

【0027】実施例 5. 図 5 はこの発明の実施例 5 による MOSFET のゲート電極 9 と活性領域 11 とのパターンを示す平面図である。図に示す様に、ゲート電極 9 と活性領域 11 とは、互いに相手の端部と交差する部分を含む所定区間 12、14 において、チャネル領域の内側に向かってゲート長および活性領域幅が単調に減少するように形成される。この場合も、同様の特徴を持つマスクパターンの転写によって仕上がりのパターンを得るが、実施例 1 の効果と実施例 3 の効果とを併せ持つものとなり、ゲート電極 9 と活性領域 11 との両方のパターンについて、マスク寸法からの寸法ずれによる V_{th} の変動を緩和する効果がある。なお、ゲート電極 9 (活性領域 11) の寸法ずれが、その端部が活性領域 11 の所定区間 14 (ゲート電極 9 の所定区間 12) で交差する範囲内で特に有効である。

【0028】実施例 6. 図 6 は、上記実施例 5 に示したゲート電極 9 と活性領域 11 との特徴を有する半導体装

7

置の適用例をDRAMのメモリセルトランジスタについて示したもので、上記実施例5と同様の効果がある。

【0029】

【発明の効果】以上のようにこの発明によれば、微細なMOSFETにおいて、ゲート長や活性領域幅を所定区間で単調減少するように、ゲート電極および活性領域のパターンを形成したため、ゲート電極や活性領域のマスク寸法からの寸法ずれによる V_{th} の変動を、自己制御によって緩和することができ、電気的特性の安定した微細な半導体装置が得られる。また、同様の特徴を持つマスクパターンの転写によって、上記のようなゲート電極および活性領域のパターンを形成したため、容易に信頼性の高い半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の実施例1による半導体装置のマスクパターンおよび仕上がりパターンを示す平面図である。

【図2】この発明の実施例2による半導体装置のパターンを示す平面図である。

【図3】この発明の実施例3による半導体装置のマスクパターンおよび仕上がりパターンを示す平面図である。

【図4】この発明の実施例4による半導体装置のパターンを示す平面図である。

10

*

8

*【図5】この発明の実施例5による半導体装置のパターンを示す平面図である。

【図6】この発明の実施例6による半導体装置のパターンを示す平面図である。

【図7】従来の半導体装置のマスクパターンを示す平面図である。

【図8】従来の半導体装置の仕上がりパターンを示す平面図である。

【図9】従来の半導体装置の仕上がりパターンの別例を示す平面図である。

【符号の説明】

5 ゲート電極のマスクパターンとしてのゲートマスクパターン

6 フィールド絶縁膜のマスクパターンとしてのフィールドマスクパターン

7 マスク上の活性領域

8 所定区間

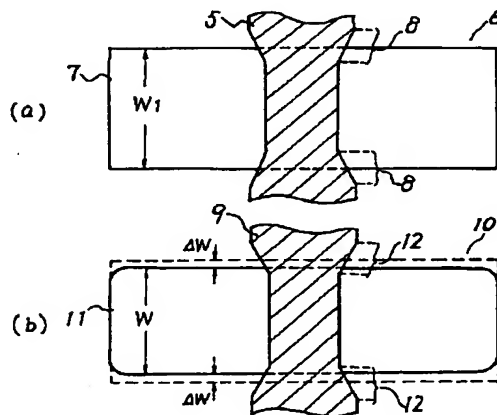
9 ゲート電極

10 フィールド絶縁膜

11 活性領域

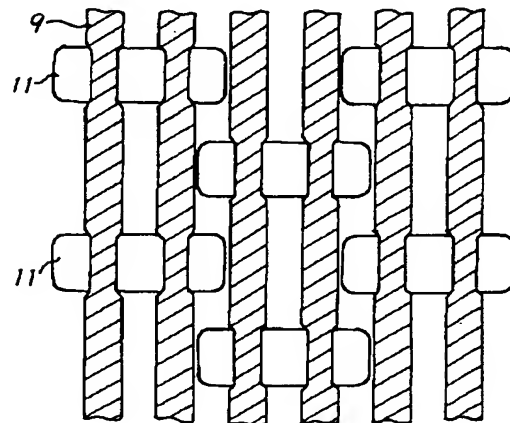
12、13、14 所定区間

【図1】

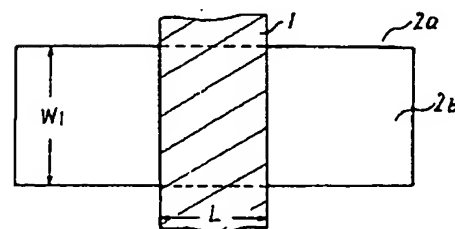


- 5: ゲートマスクパターン
- 6: フィールドマスクパターン
- 7: マスク上の活性領域
- 8: 所定区間
- 9: ゲート電極
- 10: フィールド絶縁膜
- 11: 活性領域
- 12: 所定区間

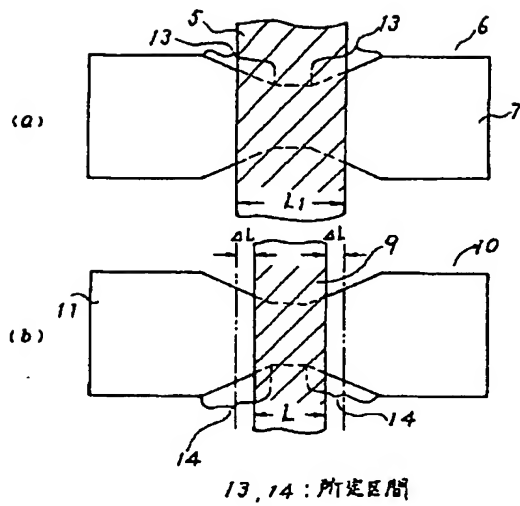
【図2】



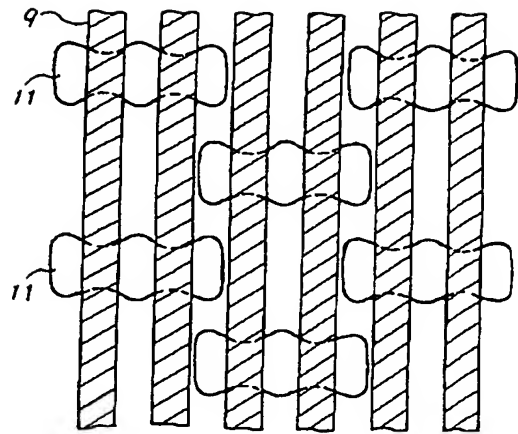
【図7】



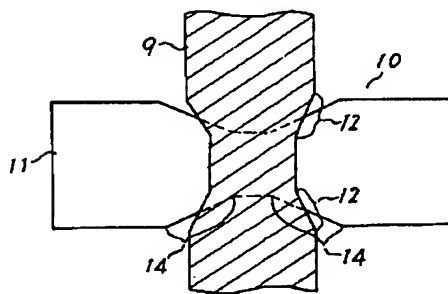
【図 3】



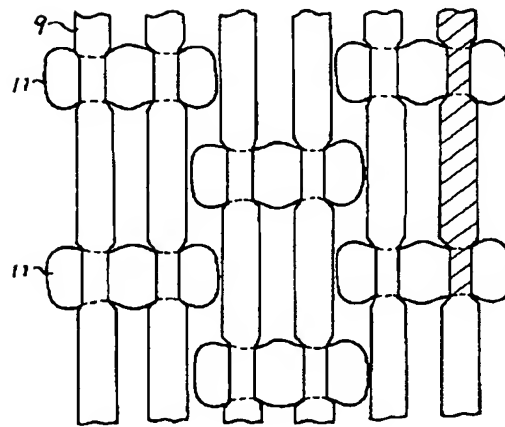
【図 4】



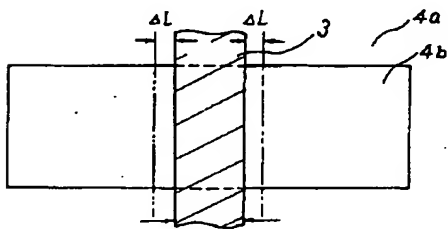
【図 5】



【図 6】



【図 8】



【図 9】

